

1 Eigenes zu Interrupts und ...

- Abfragebetrieb = polling
- Unterbrechungsbetrieb
 1. Interrupt = Unterbrechung
 2. IRQ = Interrupt-Request = Interrupt-Anforderung = Unterbrechungsanforderung
 3. ISR = Interrupt-Service-Routine = Interrupt-Handler = Unterbrechungsroutine = Unterbrechungsbehandlung = Interrupt-Behandlungsprogramm = Prozedur zur Unterbrechungsbehandlung
 4. Interrupt-Nummer
 5. Interrupt-Vektor
 6. Interrupt-Vektor-Tabelle
 7. Interrupt-Quelle
 8. Interrupt-Controller = Unterbrechungs-Controller

 9. Eingang für Unterbrechungen an der CPU
 10. Unterbrechungssignal
 11. Unterbrechungswunsch
 12. Rückkehr von der Unterbrechung = return from interrupt - RETI
 13. mehrere Unterbrechungen
 14. Unterbrechungen sperren = interrupt disabled
 15. Prioritäten für jeden Unterbrechungswunsch
 16. Software-Unterbrechungen (traps)
 17. Fehler: Ausnahme = exception
 18. Systemaufrufe = system calls

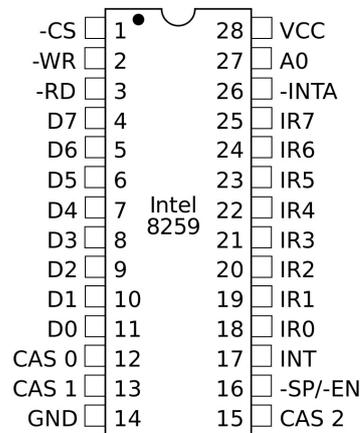
- ISR – Interrupt-Service-Routine, Interrupt-Handler:
 - Routine
 - Programm
 - Prozedur

 - Behandlung
 - Handler

 - Unterbrechung
 - Interrupt

- Interrupt ist hängend (pending): Pending-Bit
- Interruptleitung INT
- Quittungssignal (INTA, Interrupt-Acknowledge)

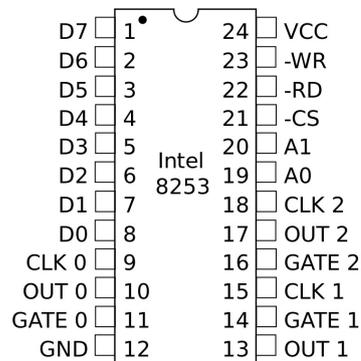
- Controller = Gerätesteuerung
 - Geräte
 - Gerätetreiber, Treiber
 - Gerätetreiber, Controller und Gerät = virtuelles Gerät
 - Datenausgangsregister (data-out)
 - Dateneingangsregister (data-in)
 - Statusregister (status)
 - Kontrollregister (control)
- Interrupts = Unterbrechungen/Polling
- Interrupt-Controller
 - Interrupt-Controller 8259 oder PIC 8259A
 - * Eingänge:
 - 8 Eingänge IR0 bis IR7
 - An jedem Eingang hängt ein Gerät
 - IR0 höchste Priorität, IR7, niedrigste
 - * Ausgängen:
 - INT angeschlossen an INTR der CPU
 - INTA von CPU und Controller, verbunden
 - D0 bis D7 mit den acht niederwertigsten Leiterbahnen des Datenbusses
 - PINS:
 - * 28-Pin-DIL-Gehäuse
 - * -CS
 - * -WR
 - * -RD
 - * D7 ... D0
 - * CAS 0, CAS 1, CAS 2
 - * A 0
 - * -INTA
 - * IR7 ... IR0
 - * INT
 - * -SP/-EN
 - * VCC, GND



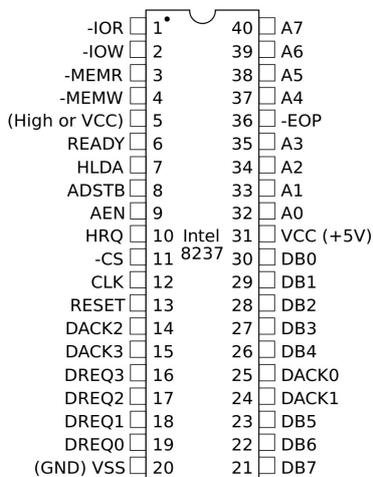
IRQ 0 - Timer
 IRQ 1 - Keyboard
 IRQ 2 - PIC 2 (Slave)
 IRQ 3 - COM 1
 IRQ 4 - COM 2
 IRQ 5 - Soundcard
 IRQ 6 - Floppy
 IRQ 7 - Parallel/Harddisk

- Der Intel 8253/8253 ist ein programmierbarer Zähler-/Zeitgeber-Baustein (Programmable Interval Timer, PIT)

- * 24-Pin-DIP-Gehäuse
- * Drei unabhängige 16-Bit-Zähler
- * Bis zu Taktfrequenz 2 MHz
- * Pins
 - D7 .. D0
 - CLK 0, CLK 1, CLK 2
 - OUT 0, OUT 1, OUT 2
 - GATE 0, GATE 1, GATE 2
 - A1, A0
 - -WR
 - -RD
 - -CS
 - Reihenfolge: CLK, OUT, GATE
 - CLK 2, OUT 2, GATE 2
 - CLK 1, OUT 1, GATE 1
 - CLK 0, OUT 0, GATE 0



- 8080
- 8085
- 8086
- 8087
- 8088
- 8089: I/O-Prozessor, dient als DMA-Controller
- Der Intel 8237 ist ein programmierbarer DMA-Steuerbaustein



- Weiterentwicklung von 8257
- Der Intel 8255 (auch i8255) ist ein programmierbarer paralleler Ein/Ausgabebaustein
- Seine größte Bekanntheit hat der Intel 8255 durch den Einsatz im Parallel Port der IBM-PCs erlangt.
- Der Intel 8255 besitzt drei 8 Bit breite IO-Ports, die zu zwei Port-Gruppen (Port-Gruppe A und Port-Gruppe B) zusammengefasst sind.
 - * Port A (PA0 bis PA7) und PC4 bis PC7 des Ports C bilden Port-Gruppe A
 - * Port B (PB0 bis PB7) und PC0 bis PC3 des Ports C bilden Port-Gruppe B

PA3	1		40	PA4
PA2	2		39	PA5
PA1	3		38	PA6
PA0	4		37	PA7
\overline{RD}	5		36	WR
\overline{CS}	6		35	RESET
GND	7		34	D0
A1	8		33	D1
A0	9		32	D2
PC7	10		31	D3
PC6	11		30	D4
PC5	12		29	D5
PC4	13		28	D6
PC0	14		27	D7
PC1	15		26	Vcc
PC2	16		25	PB7
PC3	17		24	PB6
PB0	18		23	PB5
PB1	19		22	PB4
PB2	20		21	PB3

- PIO (Programmed IO = Programmierter I/O = Prozessorgesteuerte I/O)
 - Memory Mapped I/O = MMIO = Speicherbezogene Adressierung
 - Port Mapped I/O = I/O-Mapping = Port-Maped I/O = Isolated I/O
 - * IN
 - * OUT
 - * Intel
 - Speicherraum mit max. 64 KByte
 - I/O-Bereich = E/A-Bereich (im Gerätemanager)
 - I/O-Ports in Hexadezimaler Schreibweise
 - * Parallel: 0x378-0x37F
 - * VGA: 0x3B0
 - * Tastatur; 0x60 und 0x64
- DMA (Direct Memory Access)
 - DMA
 - * Single-Word DMA = Einzelwort-DMA(-Modus)
 - * Multi-Word DMA = Multiwort-DMA(-Modus)
 - Ultra DMA
- DMA-Controller

- Controller = Gerätesteuerung
- Geräte
- Gerätetreiber, Treiber
- Gerätetreiber, Controller und Gerät = virtuelles Gerät
- Datenausgangsregister (data-out)
- Dateneingangsregister (data-in)
- Statusregister (status)
- Kontrollregister (control)
- Interrupts = Unterbrechungen/Polling
- Interrupt-Controller
- Interrupt-Controller 8259 oder PIC 8259A
- Eingänge:
- 8 Eingänge IR0 bis IR7
- An jedem Eingang hängt ein Gerät
- IR0 höchste Priorität, IR7, niedrigste
- Ausgängen:
- INT angeschlossen an INTR der CPU
- INTA von CPU und Controller, verbunden
- D0 bis D7 mit den acht niederwertigsten Leiterbahnen des Datenbusses
- PIO (Programmed IO = Programmierter I/O = Prozessorgesteuerte I/O)
- Memory Mapped I/O = MMIO = Speicherbezogene Adressierung
- Port Mapped I/O = I/O-Mapping = Port-Maped I/O = Isolated I/O
- IN
- OUT
- Intel
- Speicherraum mit max. 64 KByte
- I/O-Bereich = E/A-Bereich (im Gerätemanager)
- I/O-Ports in Hexadezimaler Schreibweise
- Parallel: 0x378-0x37F
- VGA: 0x3B0

- Tastatur; 0x60 und 0x64
- DMA (Direct Memory Access)
- DMA
- Single-Word DMA = Einzelwort-DMA(-Modus)
- Multi-Word DMA = Multiwort-DMA(-Modus)
- Ultra DMA
- DMA-Controller